



PATENT
04020-P0002A WWW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant	Martin Brox
Serial No. 10/613,381	Filing Date: July 3, 2003
Title of Application:	Level Shifter Without Dutycycle Distortion
Confirmation No. 7208	Art Unit: 2838
Examiner	

Commissioner for Patents
Post Office Box 1450
Alexandria, VA 22313-1450

Submission of Priority Document

Dear Sir:

Applicant hereby submits a certified copy of the priority document,
German Application No. 102 30 168.9, to perfect Applicant's claim of priority.

Respectfully submitted,

Wesley W. Whitmyer, Jr., Registration No. 33,558
Attorney for Applicant
ST. ONGE STEWARD JOHNSTON & REENS LLC
986 Bedford Street
Stamford, CT 06905-5619
203 324-6155

Mailing Certificate: I hereby certify that this correspondence is today being deposited
with the U.S. Postal Service as *First Class Mail* in an envelope addressed to:
Commissioner for Patents and Trademarks; Post Office Box 1450; Alexandria, VA
22313-1450.

December 1, 2003

Gregory D. Venuto

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 30 168.9

Anmeldetag: 04. Juli 2002

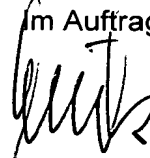
Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Pegelumsetz-Einrichtung

IPC: H 03 K, G 05 F

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 28. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
im Auftrag



Sieck

Beschreibung

Pegelumsetz-Einrichtung

5

Die Erfindung betrifft eine Pegelumsetz-Einrichtung gemäß Oberbegriff des Anspruchs 1.

10

Bei Halbleiter-Bauelementen, insbesondere bei Speicherbauelementen wie z.B. DRAMs (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher) kann sich ein intern im Bauelement verwendeter Spannungspegel von einem außerhalb des Bauelements verwendeten externen Spannungspegel unterscheiden.

15

Insbesondere kann der intern verwendete Spannungspegel kleiner sein, als der extern verwendete Spannungspegel - beispielsweise kann der intern verwendete Spannungspegel 1,8 V betragen, und der extern verwendete Spannungspegel 2,5 V.

20

Dies kann seinen Grund z.B. darin haben, dass die externe Spannungsversorgung relativ starken Schwankungen unterworfen ist, und deshalb - damit das Bauelement fehlerfrei betrieben werden kann - mittels eines Spannungsreglers in eine (nur relativ geringen Schwankungen unterworfenen, auf einen bestimmten, konstanten Wert hin geregelte) interne Spannung umgewandelt werden muß.

30

Durch den Einsatz von Spannungsreglern tritt zwangsweise ein Spannungsverlust ein, der dazu führt, dass der intern im Bauelement verwendete Spannungspegel kleiner ist, als der externe Spannungspegel.

35

Ein gegenüber dem extern verwendeten Spannungspegel verringerter interner Spannungspegel hat den Vorteil, dass hierdurch die Verlustleistungen im Halbleiter-Bauelement reduziert werden können.

Wird intern im Bauelement ein niedrigerer Spannungspegel verwendet, als extern, müssen die intern im Bauelement erzeugten Signale - vor deren Ausgabe nach außen hin -
5 zunächst mittels sog. Pegelumsetzer in entsprechende, höherpegelige Signale umgewandelt werden.

Derartige Pegelumsetzer können z.B. eine Verstärkerschaltung aufweisen, die aus kreuzgekoppelten p- bzw. n-Kanal-
10 Feldeffekttransistoren besteht.

Mit Hilfe der Verstärkerschaltung können in dem Bauelement erzeugte, interne, niederpegelige Signale - mit gewissen Verzögerungszeiten behaftet - in entsprechende höherpegelige
15 Signale umgesetzt werden.

Allerdings kann sich hierbei die - bei einer positiven Flanke eines internen Signals - auftretende Verzögerungszeit von der - bei einer negativen Flanke des internen Signals -
20 auftretenden Verzögerungszeit unterscheiden. Dies führt dazu, dass die von der Verstärkerschaltung ausgegebenen, höherpegeligen Signale verzerrt sind.

Um diesen Effekt auszugleichen, können die von der Verstärkerschaltung ausgegebenen Signale einer mehrere, z.B.
25 zwei hintereinandergeschaltete Inverter aufweisenden Treiberstufe zugeführt werden.

Die Inverter sind so ausgelegt, dass eine Kompensation der in
30 der von der Verstärkerschaltung ausgegebenen Signalen enthaltenen Verzerrungen erreicht wird.

Allerdings führt die Treiberstufe zu einer relativ hohen - zusätzlichen - Signalverzögerung; des weiteren können
35 beispielsweise aufgrund von durch Temperaturschwankungen hervorgerufenen Änderungen der Eigenschaften der Pegelumsetzer-Bauteile die o.g. Signalverzerrungen durch

einen Pegelumsetzer der oben beschriebenen Art i.A. nur unvollständig kompensiert werden.

Die Erfindung hat zur Aufgabe, eine neuartige Pegelumsetz-
5 Einrichtung bereitzustellen.

Sie erreicht dieses und weitere Ziele durch den Gegenstand des Anspruchs 1.

10 Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Gemäß einem Grundgedanken der Erfindung wird eine Pegelumsetz-Einrichtung bereitgestellt zur Umsetzung eines
15 einen ersten Spannungspegel (vint) aufweisenden Signals in ein Signal, welches einen zweiten, vom ersten Spannungspegel (vint) unterschiedlichen Spannungspegel aufweist, wobei die Pegelumsetz-Einrichtung eine Verstärkereinrichtung aufweist, und wobei zur Erzeugung des den zweiten Spannungspegel (vddq)
20 aufweisenden Signals außer einem ersten Ausgabesignal der Verstärkereinrichtung zusätzlich noch ein zweites, hiervon verschiedenes - insbesondere komplementäres - Verstärkereinrichtungs-Ausgabesignal verwendet wird.

Besonders vorteilhaft wird durch eine Flanke des ersten Verstärkereinrichtungs-Ausgabesignals getriggert, dass das den zweiten Spannungspegel (vddq) aufweisende Signal von einem ersten in einen zweiten Zustand wechselt, und durch eine gegenüber der Flanke des ersten Verstärkereinrichtungs-
30 Ausgabesignals zeitlich versetzte Flanke des zweiten Verstärkereinrichtungs-Ausgabesignals, dass das den zweiten Spannungspegel (vddq) aufweisende Signal von dem zweiten zurück in den ersten Zustand wechselt.

35 Vorzugsweise ist die die Triggerung bewirkende Flanke des ersten Verstärkereinrichtungs-Ausgabesignals eine positive Flanke, und die die Triggerung bewirkende Flanke des zweiten

Verstärkereinrichtungs-Ausgabesignals ebenfalls eine positive Flanke (oder die die Triggerung bewirkenden Flanken des ersten bzw. zweiten Verstärkereinrichtungs-Ausgabesignals sind jeweils negative Flanken).

5

Mit einer derartigen Pegelumsetz-Einrichtung kann z.B. erreicht werden, dass selbst bei relativ hohen Temperaturschwankungen die in den Verstärkerschaltungs-Ausgabesignalen enthaltenen Verzerrungen nahezu vollständig kompensiert werden.

10

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt:

15

Figur 1 eine schematische Darstellung einer Schaltungsanordnung eines Pegelumsetzers gemäß dem Stand der Technik;

20

Figur 2a eine schematische Darstellung eines ersten Abschnitts einer Schaltungsanordnung eines Pegelumsetzers gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

Figur 2b eine schematische Darstellung eines weiteren Abschnitts der Schaltungsanordnung des Pegelumsetzers gemäß dem Ausführungsbeispiel der vorliegenden Erfindung; und

Figur 3 eine schematische Darstellung des zeitlichen Verlaufs der Ein- und Ausgangssignale der im in Figur 2a und 2b gezeigten Pegelumsetzer enthaltenen Verstärkerschaltung, und des entzerrten Ausgangssignals des Pegelumsetzers.

30

In Figur 1 ist eine schematische Darstellung einer Schaltungsanordnung eines Pegelumsetzers 1 gemäß dem Stand der Technik gezeigt. Der Pegelumsetzer 1 ist in ein - z.B.

35

auf CMOS-Technologie beruhendes - DRAM-Speicherbauelement eingebaut. Er dient dazu, einen innerhalb des Speicherbauelements verwendeten internen Spannungspegel (vint) in einen außerhalb des Speicherbauelements verwendeten externen Spannungspegel (vddq) umzusetzen, wobei der intern verwendete Spannungspegel (vint) kleiner ist, als der extern verwendete Spannungspegel (vddq). Beispielsweise kann der interne Spannungspegel (vint) 1,8 V betragen, und der externe Spannungspegel (vddq) 2,5 V.

Wie in Figur 1 gezeigt ist, weist der Pegelumsetzer 1 eine Verstärkerschaltung 2 auf, und eine Treiberstufe 8 mit einem ersten und einem zweiten Inverter 3a, 3b (sowie alternativ mit weiteren, hier nicht dargestellten Invertern).

Die Verstärkerschaltung 2 umfaßt vier kreuzgekoppelte Transistoren, und zwar einen ersten und einen zweiten p-Kanal-Feldeffekttransistor 4a, 4b (hier: zwei p-Kanal-MOSFETs 4a, 4b), sowie einen ersten und einen zweiten n-Kanal-Feldeffekttransistor 5a, 5b (hier: zwei n-Kanal-MOSFETs 5a, 5b).

Die Source des ersten n-Kanal-Feldeffekttransistors 5a ist an die Masse (gnd) angeschlossen. Auf entsprechende Weise ist auch die Source des zweiten n-Kanal-Feldeffekttransistors 5b mit der Masse (gnd) verbunden.

Des weiteren ist das Gate des ersten n-Kanal-Feldeffekttransistors 5a mit einem ersten Eingang 6a der Verstärkerschaltung 2 verbunden, und das Gate des zweiten n-Kanal-Feldeffekttransistors 5b mit einem zweiten Verstärkerschaltungs-Eingang 6b.

An einem ersten Ausgang 7a der Verstärkerschaltung 2 ist der Drain des ersten n-Kanal-Feldeffekttransistors 5a angeschlossen, sowie das Gate des zweiten p-Kanal-Feldeffekttransistors 4b, und der Drain des ersten p-Kanal-

Feldeffekttransistors 4a. Auf entsprechende Weise ist ein zweiter Verstärkerschaltungs-Ausgang 7b mit dem Drain des zweiten n-Kanal-Feldeffekttransistors 5b verbunden, sowie mit dem Gate des ersten p-Kanal-Feldeffekttransistors 4a, und dem Drain des zweiten p-Kanal-Feldeffekttransistors 4b.

Die Source des ersten und zweiten p-Kanal-Feldeffekttransistors 4a, 4b ist jeweils an die Versorgungsspannung angeschlossen. Diese weist, wie bereits oben erläutert wurde - im Vergleich zur intern verwendeten Spannung - einen relativ hohen Spannungspegel (vddq) auf.

Am ersten Eingang 6a der Verstärkerschaltung 2 liegt ein erstes internes Signal (in) des DRAM-Speicherbauelements an, und am zweiten Eingang 6b der Verstärkerschaltung 2 ein zweites bauelement-internes Signal (bin).

Das erste und zweite interne Signal (in bzw. bin) sind komplementär zueinander.

20

Die „logisch hohen“ Zustände des ersten bzw. zweiten internen Signals (in bzw. bin) dauern im wesentlichen gleich lange an, wie deren „logisch niedrige“ Zustände. Die internen Signale (in bzw. bin) weisen - wie bereits oben erläutert wurde - im Vergleich zum extern verwendeten Spannungspegel (vddq) den relativ niedrigen, intern verwendeten Spannungspegel (vint) auf.

Mit Hilfe der Verstärkerschaltung 2 wird das am ersten Eingang 6a der Verstärkerschaltung 2 anliegende interne Signal (in) in ein - diesem Signal (in) entsprechendes, am zweiten Ausgang 7b der Verstärkerschaltung 2 abgreifbares - Signal (out) umgesetzt, welches den o.g. - relativ hohen - externen Spannungspegel (vddq) aufweist.

35

Wechselt das am ersten Eingang 6a der Verstärkerschaltung 2 anliegende interne Signal (in) von einem „logisch niedrigen“

auf einen „logisch hohen“ Zustand (und das komplementäre interne Signal (bin) von einem Zustand „logisch hoch“ auf einen Zustand „logisch niedrig“), ändert das entsprechende, am Ausgang 7b der Verstärkerschaltung 2 abgreifbare Signal (out) aufgrund interner Signallaufzeiten innerhalb der Verstärkerschaltung 2 erst nach einer gewissen Verzögerungszeit d1' seinen Zustand von „logisch niedrig“ auf „logisch hoch“.

- 10 Auf entsprechende Weise ändert bei einem Wechsel des Zustands des internen Signals (in) von „logisch hoch“ auf „logisch niedrig“ (und einem Wechsel des Zustands des komplementären interne Signal (bin) von „logisch niedrig“ auf „logisch hoch“) das entsprechende am Ausgang 7b abgreifbare Signal (out) erst nach einer gewissen Verzögerungszeit d2' seinen Zustand von „logisch hoch“ auf „logisch niedrig“.

- 20 Die - bei einer positiven Flanke des internen Signals (in) - auftretende Verzögerungszeit d1' unterscheidet sich aufgrund unterschiedlicher Signallaufzeiten innerhalb der Verstärkerschaltung 2 von der - bei einer negativen Flanke des internen Signals (in) - auftretenden Verzögerungszeit d2'. Dies führt dazu, dass das am Ausgang 7b abgreifbare Signal (out) verzerrt ist (insbesondere dessen „logisch niedriger“ Zustand längert andauert, als dessen „logisch hoher“ Zustand - und nicht, wie gewünscht, im wesentlichen gleich lang).

- 30 Um diesen Effekt auszugleichen, wird beim Pegelumsetzer 1 das am Ausgang 7b der Verstärkerschaltung 2 abgreifbare Signal (out) über eine Leitung 9 einem Eingang des ersten Inverters 3a der Treiberstufe 8 zugeführt, dessen Ausgang 11 über eine Leitung 10 an einen Eingang des zweiten Inverters 3b angeschlossen ist.

- 35 Bei einem Wechsel des Zustands des am Ausgang 7b der Verstärkerschaltung abgreifbaren Signals (out) von „logisch

niedrig" auf „logisch hoch" (- bzw. umgekehrt bei einem Wechsel des Zustands des Signals (out) von „logisch hoch" auf „logisch niedrig" -) wechselt (- nach jeweils sich voneinander unterscheidenden Verzögerungszeiten -) das Signal am Ausgang 11 des ersten Inverters 3a seinen Zustand von „logisch hoch" auf „logisch niedrig" (- bzw. umgekehrt von „logisch niedrig" auf „logisch hoch" -), und demzufolge das an einem Ausgang 12 des zweiten Inverters 3b abgreifbares Ausgangssignals (DatoV) von einem Zustand „logisch niedrig" auf einen Zustand „logisch hoch", bzw. umgekehrt von einem Zustand „logisch hoch" auf einen Zustand „logisch niedrig" (- wiederum nach jeweils sich voneinander unterscheidenden Verzögerungszeiten -).

Die Inverter 3a, 3b - insbesondere die durch sie hervorgerufenen, für positive und negative Signalflanken unterschiedlichen Verzögerungszeiten - sind so ausgelegt, dass insgesamt die zwischen einer positiven Signalflanke des am Eingang 6a der Verstärkerschaltung 2 anliegenden Signals (in), und einer entsprechenden, positiven Signalflanke des am Ausgang 12 des zweiten Inverters 3b ausgegebenen Ausgangssignals (DatoV) auftretende Verzögerungszeit d1 im wesentlichen gleich groß ist, wie die insgesamt zwischen einer negativen Signalflanke des Signals (in), und einer entsprechenden, negativen Signalflanke des Ausgangssignals (DatoV) auftretende Verzögerungszeit d2.

Dadurch wird eine Kompensation der im am Ausgang 7b der Verstärkerschaltung 2 anliegenden Signals (out) enthaltenen Verzerrung erreicht (so dass dann z.B. der „logisch niedrige" Zustand des am Ausgang 12 des zweiten Inverters 3b anliegenden Ausgangssignals (DatoV) im wesentlichen gleich lang andauert, wie dessen „logisch hoher" Zustand).

Allerdings führt die Treiberstufe 8 zu einer relativ hohen - zusätzlichen - Signalverzögerung; des weiteren kann beispielsweise aufgrund von Bauteilungenauigkeiten, oder

aufgrund von durch Temperaturschwankungen hervorgerufenen Änderungen der Eigenschaften der verwendeten Bauteile die Signalverzerrung durch einen Pegelumsetzer der oben beschriebenen Art i.A. nur unvollständig kompensiert werden.

5

In Figur 2a ist eine schematische Darstellung eines ersten Abschnitts 101a einer Schaltungsanordnung eines Pegelumsetzers gemäß einem Ausführungsbeispiel der vorliegenden Erfindung gezeigt.

10

Der Pegelumsetzer ist in ein - z.B. auf CMOS-Technologie beruhendes - DRAM-Speicherbauelement eingebaut, und kann insbesondere für ein OCD-Bauteil des DRAM-Speicherbauelements verwendet werden (OCD = Off Chip Driver), oder z.B. für ein

15

DLL-Bauteil (DLL = Delay Locked Loop).

Mit Hilfe des Pegelumsetzers wird ein innerhalb des DRAM-Speicherbauelements verwendeter interner Spannungspegel (vint) in einen außerhalb des Speicherbauelements verwendeten externen Spannungspegel (vddq) umgesetzt, wobei der intern verwendete Spannungspegel (vint) kleiner ist, als der extern verwendete Spannungspegel (vddq).

20

Der interne Spannungspegel (vint) kann z.B. 1,8 V - oder alternativ z.B. 1,5 V - betragen, und der externe Spannungspegel (vddq) beispielsweise 2,5 V - oder alternativ z.B. 1,8 V.

25

Gemäß Figur 2a weist der erste Abschnitt 101a des Pegelumsetzers eine Verstärkerschaltung 102 auf, und zwei parallele Treiberstufen, die jeweils einen Inverter 103a, 103b, sowie jeweils ein Transmission-Gate bzw. Transferglied 113a, 113b aufweisen.

30

35

Die Verstärkerschaltung 102 umfaßt mehrere, insbesondere vier kreuzgekoppelte Transistoren, und zwar einen ersten und einen zweiten p-Kanal-Feldeffekttransistor 104a, 104b (hier: zwei

p-Kanal-MOSFETs 104a, 104b), sowie einen ersten und einen zweiten n-Kanal-Feldeffekttransistor 105a, 105b (hier: zwei n-Kanal-MOSFETs 105a, 105b).

5 Die Source des ersten n-Kanal-Feldeffekttransistors 105a ist an die Masse (gnd) angeschlossen. Auf entsprechende Weise ist auch die Source des zweiten n-Kanal-Feldeffekttransistors 105b mit der Masse (gnd) verbunden.

10 Des weiteren ist das Gate des ersten n-Kanal-Feldeffekttransistors 105a mit einem ersten Eingang 106a der Verstärkerschaltung 102 verbunden, und das Gate des zweiten n-Kanal-Feldeffekttransistors 105b mit einem zweiten Verstärkerschaltungs-Eingang 106b.

15 An einem ersten Ausgang 107a der Verstärkerschaltung 102 ist der Drain des ersten n-Kanal-Feldeffekttransistors 105a angeschlossen, sowie das Gate des zweiten p-Kanal-Feldeffekttransistors 104b, und der Drain des ersten p-Kanal-Feldeffekttransistors 104a. Auf entsprechende Weise ist ein
20 zweiter Verstärkerschaltungs-Ausgang 107b mit dem Drain des zweiten n-Kanal-Feldeffekttransistors 105b verbunden, sowie mit dem Gate des ersten p-Kanal-Feldeffekttransistors 104a, und dem Drain des zweiten p-Kanal-Feldeffekttransistors 104b.

25 Die Source des ersten und zweiten p-Kanal-Feldeffekttransistors 104a, 104b ist jeweils an die Versorgungsspannung angeschlossen. Diese weist, wie bereits oben erläutert wurde - im Vergleich zur intern verwendeten
30 Spannung - einen relativ hohen Spannungspegel (vddq) auf.

Am ersten Eingang 106a der Verstärkerschaltung 102 liegt ein erstes internes Signal (in) des DRAM-Speicherbauelements an, und am zweiten Eingang 106b der Verstärkerschaltung 102 ein
35 zweites bauelement-internes Signal (bin).

Das erste und zweite interne Signal (in bzw. bin) sind komplementär zueinander.

Des weiteren dauern die „logisch hohen“ Zustände des ersten
5 bzw. zweiten internen Signals (in bzw. bin) im wesentlichen
gleich lange an, wie deren „logisch niedrige“ Zustände.

Wie bereits oben erläutert wurde, weisen die internen Signale
(in bzw. bin) - im Vergleich zum extern verwendeten
10 Spannungspegel (vddq) - den relativ niedrigen, intern
verwendeten Spannungspegel (vint) auf.

Mit Hilfe der Verstärkerschaltung 102 wird das am ersten
Verstärkerschaltungs-Eingang 106a anliegende interne Signal
15 (in) in ein - diesem Signal (in) entsprechendes, am zweiten
Ausgang 107b der Verstärkerschaltung 102 abgreifbares -
Signal (out) umgesetzt, sowie in ein zu diesem Signal (out)
komplementäres Signal (bout), welches am ersten Ausgang 107a
der Verstärkerschaltung 102 abgegriffen werden kann.

20

Die am ersten und zweiten Verstärkerschaltungs-Ausgang 107a,
107b abgreifbaren Signale (out bzw. bout) weisen den - im
Vergleich zu dem bei den internen Signalen (in bzw. bin)
verwendeten Spannungspegel (vint) - relativ hohen, externen
25 Spannungspegel (vddq) auf.

Wechselt das am ersten Eingang 106a der Verstärkerschaltung
102 anliegende interne Signal (in) von einem „logisch
niedrigen“ auf einen „logisch hohen“ Zustand (und das
30 komplementäre interne Signal (bin) von einem Zustand „logisch
hoch“ auf einen Zustand „logisch niedrig“), ändert gemäß
Figur 3 das am zweiten Ausgang 107b der Verstärkerschaltung
102 abgreifbare Signal (out) aufgrund interner
Signallaufzeiten innerhalb der Verstärkerschaltung 102 erst
35 nach einer gewissen Verzögerungszeit $d1'$ seinen Zustand von
„logisch niedrig“ auf „logisch hoch“ (und - nach einer von
der Verzögerungszeit $d1'$ unterschiedlichen Verzögerungszeit

d2'' - das am ersten Ausgang 107a abgreifbare Signal (bout) von „logisch hoch“ auf „logisch niedrig“).

Auf entsprechende Weise ändert gemäß Figur 3 bei einem

- 5 Wechsel des Zustands des internen Signals (in) von „logisch hoch“ auf „logisch niedrig“ (und einem Wechsel des Zustands des komplementären internen Signals (bin) von „logisch niedrig“ auf „logisch hoch“) das am zweiten Ausgang 107b abgreifbare Signal (out) erst nach einer gewissen
- 10 Verzögerungszeit d2' seinen Zustand von „logisch hoch“ auf „logisch niedrig“ (und - nach einer von der Verzögerungszeit d2' unterschiedlichen Verzögerungszeit d1'' - das am ersten Ausgang 107a abgreifbare Signal (bout) von „logisch niedrig“ auf „logisch hoch“).

15

Die - bei einer positiven Flanke des internen Signals (in) (bzw. einer negativen Flanke des komplementären Signals (bin)) - beim Signal (out) auftretende Verzögerungszeit d1' unterscheidet sich aufgrund unterschiedlicher interner

20 Signallaufzeiten innerhalb der Verstärkerschaltung 102 von der - bei einer negativen Flanke des internen Signals (in) (bzw. einer positiven Flanke des komplementären Signals (bin)) - beim Signal (out) auftretenden Verzögerungszeit d2'.

- 25 Auf entsprechende Weise unterscheidet sich auch die - bei einer positiven Flanke des internen Signals (in) - beim komplementären Signal (bout) auftretende Verzögerungszeit d2'' von der - bei einer negativen Flanke des internen Signals (in) - beim komplementären Signal (bout) auftretenden
- 30 Verzögerungszeit d1''.

Dies führt dazu, dass - wie in Figur 3 gezeigt ist - die am ersten und zweiten Ausgang 7a, 7b abgreifbaren Signale (out bzw. bout) verzerrt sind (insbesondere deren „logisch

35 niedriger“ Zustand längert andauert, als deren „logisch hoher“ Zustand - und nicht, wie gewünscht, im wesentlichen gleich lang).

Um diesen Effekt auszugleichen, wird beim in Figur 2a und 2b gezeigten Pegelumsetzer die Tatsache ausgenutzt, dass - wie ebenfalls aus Figur 3 ersichtlich ist - die bei einer positiven Flanke des internen Signals (in) beim Signal (out) auftretende Verzögerungszeit $d1'$ aufgrund des symmetrischen Aufbaus der Verstärkerschaltung 102 gleich lang ist, wie die bei einer negativen Flanke des internen Signals (in) beim komplementären Signal (bout) auftretende Verzögerungszeit $d1''$ (bzw. dass die bei einer negativen Flanke des internen Signals (in) beim Signal (out) auftretende Verzögerungszeit $d2'$ gleich lang ist, wie die bei einer positiven Flanke des internen Signals (in) beim komplementären Signal (bout) auftretende Verzögerungszeit $d2''$).

Im Detail wird - wieder bezogen auf Figur 2a - beim Pegelumsetzer gemäß dem vorliegenden Ausführungsbeispiel das am zweiten Ausgang 107b der Verstärkerschaltung 102 abgreifbare Signal (out) über eine Leitung 109b einem Eingang des zweiten Inverters 103b zugeführt, und das am ersten Ausgang 107a der Verstärkerschaltung 102 abgreifbare, komplementäre Signal (bout) über eine Leitung 109a einem Eingang des ersten Inverters 103a.

Jeder Inverter 103a, 103b besteht aus jeweils einem n- und einem p-Kanal-Feldeffekttransistor, wobei die Source des jeweiligen n-Kanal-Feldeffekttransistors jeweils an die Masse (gnd), und die Source des jeweiligen p-Kanal-Feldeffekttransistors jeweils an die Versorgungsspannung (v_{ddq}) angeschlossen ist. Die in den Invertern 103a, 103b verwendeten Feldeffekttransistoren arbeiten also jeweils in Source-Schaltung, und verstärken die am jeweiligen Inverter-Eingang anliegende Eingangsspannung invertierend, wobei jeweils der eine Feldeffekttransistor eines Inverters 103a, 103b den Arbeitswiderstand für den jeweils anderen Feldeffekttransistor darstellt.

Wie in Figur 2a und 2b gezeigt ist, wird das am zweiten Ausgang 107b der Verstärkerschaltung 102 abgreifbare Signal (out) - außer über die Leitung 109b an den zweiten Inverter 103b - zusätzlich noch über eine Leitung 111b einem ersten
5 Steuereingang des zweiten Transmission-Gates 113b zugeführt.

Entsprechend wird das am ersten Ausgang 107a der Verstärkerschaltung 102 abgreifbare, komplementäre Signal (bout) - außer über eine Leitung 109a einem Eingang des
10 ersten Inverters 103a - zusätzlich noch über eine Leitung 111a einem ersten Steuereingang des ersten Transmission-Gates 113a zugeführt.

Wie weiter in Figur 2a und 2b gezeigt ist, ist der Ausgang
15 des ersten Inverters 103a über eine Leitung 110a an einen zweiten, komplementären Steuereingang des ersten Transmission-Gates 113a angeschlossen, und der Ausgang des zweiten Inverters 103b über eine Leitung 110b an einen zweiten, komplementären Steuereingang des zweiten
20 Transmission-Gates 113b.

Jedes Transmission-Gate 113a, 113b weist einen n-, und einen p-Kanal-Feldeffekttransistor auf, wobei jeweils der erste Steuereingang des jeweiligen Transmission-Gates 113a, 113b
5 jeweils an das Gate des ersten, und der zweite, komplementäre Steuereingang des jeweiligen Transmission-Gates 113a, 113b jeweils an das Gate des zweiten Feldeffekttransistors angeschlossen ist.

Des weiteren ist beim ersten Transmission-Gate 113a der Drain bzw. die Source des n- bzw. p-Kanal-Feldeffekttransistors (d.h. der Ein- bzw. Ausgang des ersten Transmission-Gates 113a) an die Masse (gnd), bzw. über eine Leitung 114a an einen Ausgang 112 des Pegelumsetzers angeschlossen.
35

Demgegenüber ist beim zweiten Transmission-Gate 113b der Drain bzw. die Source des n- bzw. p-Kanal-

Feldeffekttransistors (d.h. der Ein- bzw. Ausgang des zweiten Transmission-Gates 113b) an die Versorgungsspannung (vddg), bzw. über eine Leitung 114b an den Pegelumsetzer-Ausgang 112 angeschlossen.

5

Dadurch wird der folgende Effekt erreicht: Sobald das am zweiten Ausgang 107b der Verstärkerschaltung 102 abgegriffene, über die Leitung 111b dem ersten Steuereingang des zweiten Transmission-Gates 113b zugeführte Signal (out) von „logisch niedrig“ auf „logisch hoch“ wechselt (und das komplementäre, über die Leitung 110b zugeführte Signal (outb) von „logisch hoch“ auf „logisch niedrig“), wird die am Eingang des zweiten Transmission-Gates 113b anliegende Versorgungsspannung (vddq) an den Transmission-Gate-Ausgang durchgeschaltet, und damit über die Leitung 114b an den Pegelumsetzer-Ausgang 112.

10

15

Dadurch wechselt, wie in Figur 3 veranschaulicht ist, das am Pegelumsetzer-Ausgang 112 abgreifbare Ausgangssignal (DatoV) von einem „logisch niedrigen“ auf einen „logisch hohen“ Zustand.

20

Wechselt dann das am zweiten Ausgang 107b der Verstärkerschaltung 102 abgegriffene Signal (out) seinen Zustand wieder von „logisch hoch“ auf „logisch niedrig“ (und das komplementäre Signal (outb) von „logisch niedrig“ auf „logisch hoch“), wird die am Eingang des zweiten Transmission-Gates 113b anliegende Versorgungsspannung (vddq) wieder vom Ausgang des zweiten Transmission-Gates 113b getrennt; allerdings bleibt das Ausgangssignal (DatoV) am Pegelumsetzer-Ausgang 112 gemäß Figur 3 zunächst noch im „logisch hohen“ Zustand.

25

30

Erst dann, wenn das am ersten Ausgang 107a der Verstärkerschaltung 102 abgegriffene, über die Leitung 111a dem ersten Steuereingang des ersten Transmission-Gates 113a zugeführte Signal (bout) von „logisch niedrig“ auf „logisch

35

hoch" wechselt (und das komplementäre Signal (boutb) von „logisch hoch" auf „logisch niedrig"), wird das erste Transmission-Gate 113a leitend, und somit der Ausgang des ersten Transmission-Gates 113a - und damit über die Leitung 5 114a auch der Ausgang 112 des Pegelumsetzers - auf Masse (gnd) gezogen.

Dadurch wechselt, wie in Figur 3 veranschaulicht ist, das am Pegelumsetzer-Ausgang 112 abgreifbare Ausgangssignal (DatoV) 10 von einem „logisch hohen" auf einen „logisch niedrigen" Zustand.

Wechselt dann das am ersten Ausgang 107a der Verstärkerschaltung 102 abgegriffene Signal (bout) seinen 15 Zustand wieder von „logisch hoch" auf „logisch niedrig", wird der Eingang des ersten Transmission-Gates 113a wieder von dessen Ausgang getrennt; das Ausgangssignal (DatoV) am Pegelumsetzer-Ausgang 112 bleibt aber gemäß Figur 3 zunächst noch im „logisch niedrigen" Zustand (da beim zweiten 20 Transmission-Gate 113a zunächst noch Ein- und Ausgang voneinander getrennt sind, d.h. die am Eingang des zweiten Transmission-Gates 113b anliegende Versorgungsspannung (vddq) noch nicht an dessen Ausgang durchgeschaltet ist).

Das am Pegelumsetzer-Ausgang 112 abgreifbare Ausgangssignal (DatoV) weist somit - anders als die an den Ausgängen 107a bzw. 107 der Verstärkerschaltung 102 anliegenden Signale (bout bzw. out) - keine (oder nur unwesentlich große) Verzerrungen auf; insbesondere dauert der „logisch niedrige" 25 Zustand des Ausgangssignals (DatoV) im wesentlichen gleich lange, wie dessen „logisch hoher" Zustand. 30

Bei dem in Figur 2a und 2b gezeigten Pegelumsetzer tritt nur eine relativ geringe (zusätzliche) Signalverzögerung auf. Des 35 weiteren werden durch den Pegelumsetzer gemäß Figur 2a und 2b selbst bei relativ hohen Temperaturschwankungen (und dadurch hervorgerufenen Änderungen der Eigenschaften der verwendeten

Bauteile) die in den Verstärkerschaltungs-Ausgangs-Signalen (bout bzw. out) enthaltenen Verzerrungen nahezu vollständig kompensiert.

5

10



15

Bezugszeichenliste

	1	Pegelumsetzer
	2	Verstärkerschaltung
5	3a	Inverter
	3b	Inverter
	4a	p-Kanal-Feldeffekttransistor
	4b	p-Kanal-Feldeffekttransistor
	5a	n-Kanal-Feldeffekttransistor
10	5b	n-Kanal-Feldeffekttransistor
	6a	Eingang
	6b	Eingang
	7a	Ausgang
	7b	Ausgang
15	8	Treiberstufe
	9	Leitung
	10	Leitung
	11	Ausgang
	12	Ausgang
20	101a	Pegelumsetzer-Abschnitt
	101b	Pegelumsetzer-Abschnitt
	102	Verstärkerschaltung
	103a	Inverter
	103b	Inverter
25	104a	p-Kanal-Feldeffekttransistor
	104b	p-Kanal-Feldeffekttransistor
	105a	n-Kanal-Feldeffekttransistor
	105b	n-Kanal-Feldeffekttransistor
	106a	Eingang
30	106b	Eingang
	107a	Ausgang
	107b	Ausgang
	109a	Leitung
	109b	Leitung
35	110a	Leitung
	110b	Leitung
	111a	Leitung

	111b	Leitung
	112	Ausgang
	113a	Transmission-Gate
	113b	Transmission-Gate
5	114a	Leitung
	114b	Leitung

Patentansprüche

1. Pegelumsetz-Einrichtung (101a, 101b) zur Umsetzung eines
5 einen ersten Spannungspegel (vint) aufweisenden Signals (in)
in ein Signal (DatoV), welches einen zweiten, vom ersten
Spannungspegel (vint) unterschiedlichen Spannungspegel (vddq)
aufweist, wobei die Pegelumsetz-Einrichtung (101a, 101b) eine
Verstärkereinrichtung (102) aufweist,
10 d a d u r c h g e k e n n z e i c h n e t, daß zur
Erzeugung des den zweiten Spannungspegel (vddq) aufweisenden
Signals (DatoV) außer einem ersten Ausgabesignal (out) der
Verstärkereinrichtung (102) zusätzlich noch ein zweites,
hiervon verschiedenes Verstärkereinrichtungs-Ausgabesignal
15 (bout) verwendet wird.
2. Pegelumsetz-Einrichtung (101a, 101b) nach Anspruch 1,
bei welcher das erste und das zweite Verstärkereinrichtungs-
Ausgabesignal (out, bout) zueinander komplementäre Signale
20 sind.
3. Pegelumsetz-Einrichtung (101a, 101b) nach Anspruch 1
oder 2, wobei durch eine Flanke des ersten
Verstärkereinrichtungs-Ausgabesignals (out) getriggert wird,
35 dass das den zweiten Spannungspegel (vddq) aufweisende Signal
(DatoV) von einem ersten in einen zweiten Zustand wechselt,
und wobei durch eine gegenüber der Flanke des ersten
Verstärkereinrichtungs-Ausgabesignals (out) zeitlich
versetzte Flanke des zweiten Verstärkereinrichtungs-
Ausgabesignals (bout) getriggert wird, dass das den zweiten
Spannungspegel (vddq) aufweisende Signal (DatoV) von dem
zweiten zurück in den ersten Zustand wechselt.
4. Pegelumsetz-Einrichtung (101a, 101b) nach Anspruch 3,
35 wobei die die Triggerung bewirkende Flanke des ersten
Verstärkereinrichtungs-Ausgabesignals (out) eine positive
Flanke ist, und die die Triggerung bewirkende Flanke des

zweiten Verstärkereinrichtungs-Ausgabesignals (bout)
ebenfalls eine positive Flanke.

5. Pegelumsetz-Einrichtung (101a, 101b) nach Anspruch 3,
5 wobei die die Triggerung bewirkende Flanke des ersten
Verstärkereinrichtungs-Ausgabesignals (out) eine negative
Flanke ist, und die die Triggerung bewirkende Flanke des
zweiten Verstärkereinrichtungs-Ausgabesignals (bout)
ebenfalls eine negative Flanke.

10

6. Pegelumsetz-Einrichtung (101a, 101b) nach einem der
vorhergehenden Ansprüche, bei welcher mit dem ersten
Verstärkereinrichtungs-Ausgabesignal (out), oder einem
hieraus abgeleiteten Signal ein erstes Transmission-Gate
15 (113b) angesteuert wird, und mit dem zweiten
Verstärkereinrichtungs-Ausgabesignal (bout), oder einem
hieraus abgeleiteten Signal ein zweites Transmission-Gate
(113a).

20 7. Pegelumsetz-Einrichtung (101a, 101b) nach Anspruch 6,
bei welcher mit Hilfe des ersten Verstärkereinrichtungs-
Ausgabesignals (out), oder dem hieraus abgeleiteten Signal
ein Eingang des ersten Transmission-Gates (113b), an dem eine
relativ hohe Spannung anliegt, an einen Ausgang (114b) des
ersten Transmission-Gates (113b) durchgeschaltet wird.

8. Pegelumsetz-Einrichtung (101a, 101b) nach Anspruch 6
oder 7, bei welcher mit Hilfe des zweiten
Verstärkereinrichtungs-Ausgabesignals (bout), oder dem
30 hieraus abgeleiteten Signal ein Eingang des zweiten
Transmission-Gates (113b), an dem eine relativ niedrige
Spannung, insbesondere Erde anliegt, an einen Ausgang (114a)
des zweiten Transmission-Gates (113a) durchgeschaltet wird.

35 9. Pegelumsetz-Einrichtung (101a, 101b) nach Anspruch 8,
bei welcher die Ausgänge (114a, 114b) der Transmission-Gates
(113a, 113b) miteinander verbunden sind.

10. Pegelumsetz-Einrichtung (101a, 101b) nach einem der
vorhergehenden Ansprüche, bei welcher der erste
Spannungspegel (vint) kleiner ist, als der zweite
5 Spannungspegel (vddq).

11. Pegelumsetz-Einrichtung (101a, 101b) nach Anspruch 10,
bei welcher der erste Spannungspegel (vint) zwischen 1,2 V
und 1,9 V, insbesondere zwischen 1,4 V und 1,6 V beträgt, und
10 der zweite Spannungspegel (vddq) zwischen 1,5 V und 2,2 V,
insbesondere zwischen 1,7 V und 1,9 V.

12. Pegelumsetz-Einrichtung (101a, 101b) nach einem der
vorhergehenden Ansprüche, bei welcher die
15 Verstärkereinrichtung (102) mehrere kreuzgekoppelte
Transistoren (104a, 104b, 106a, 106b) aufweist.

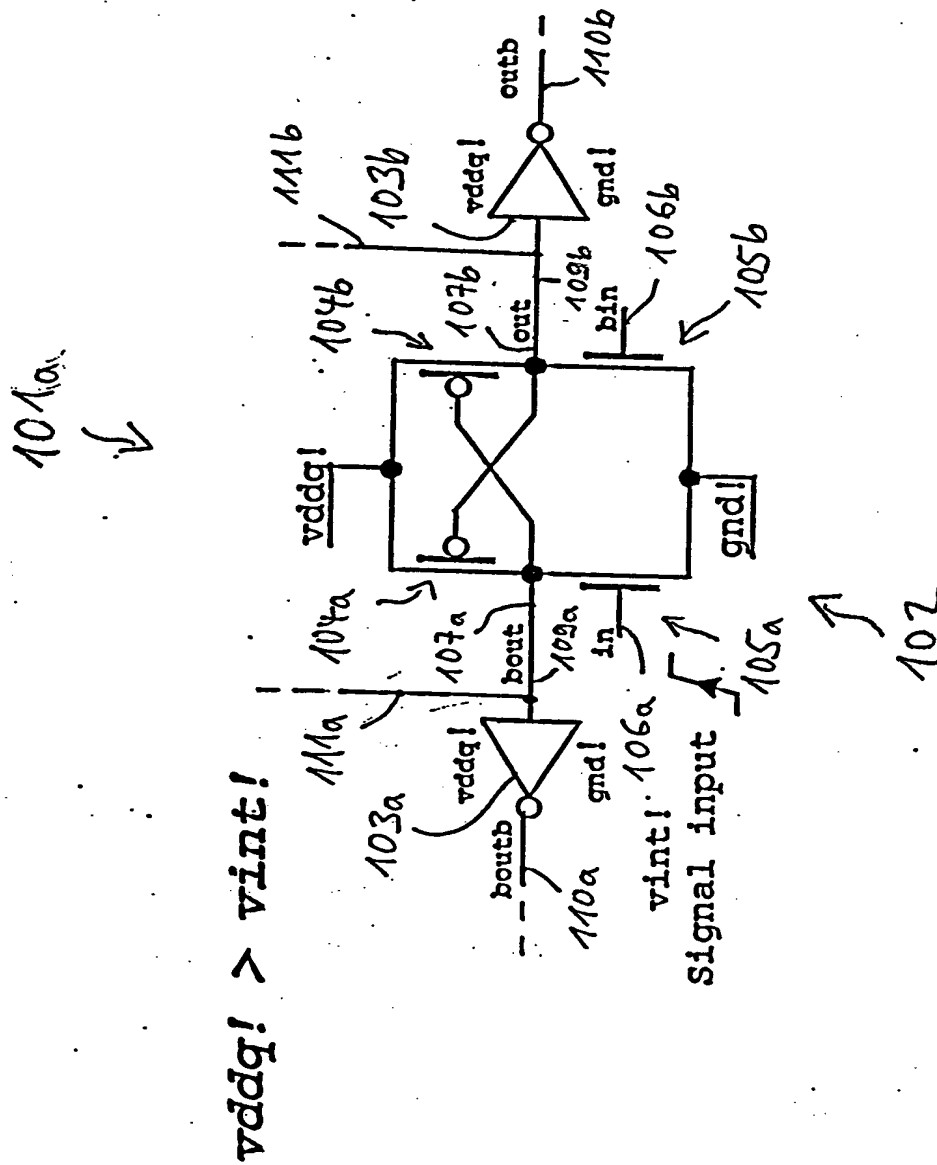
13. Pegelumsetz-Einrichtung (101a, 101b) nach Anspruch 12,
bei welcher die Transistoren (104a, 104b, 106a, 106b)
20 Feldeffekttransistoren sind.

Zusammenfassung

Pegelumsetz-Einrichtung

- 5 Die Erfindung betrifft eine Pegelumsetz-Einrichtung (101a, 101b) zur Umsetzung eines ersten Spannungspegel (vint) aufweisenden Signals (in) in ein Signal (DatoV), welches einen zweiten, vom ersten Spannungspegel (vint) unterschiedlichen Spannungspegel (vddq) aufweist, wobei die
- 10 Pegelumsetz-Einrichtung (101a, 101b) eine Verstärkereinrichtung (102) aufweist, und wobei zur Erzeugung des den zweiten Spannungspegel (vddq) aufweisenden Signals (DatoV) außer einem ersten Ausgabesignal (out) der Verstärkereinrichtung (102) zusätzlich noch ein zweites,
- 15 hiervon verschiedenes Verstärkereinrichtungs-Ausgabesignal (bout) verwendet wird.

- Figur 2a -



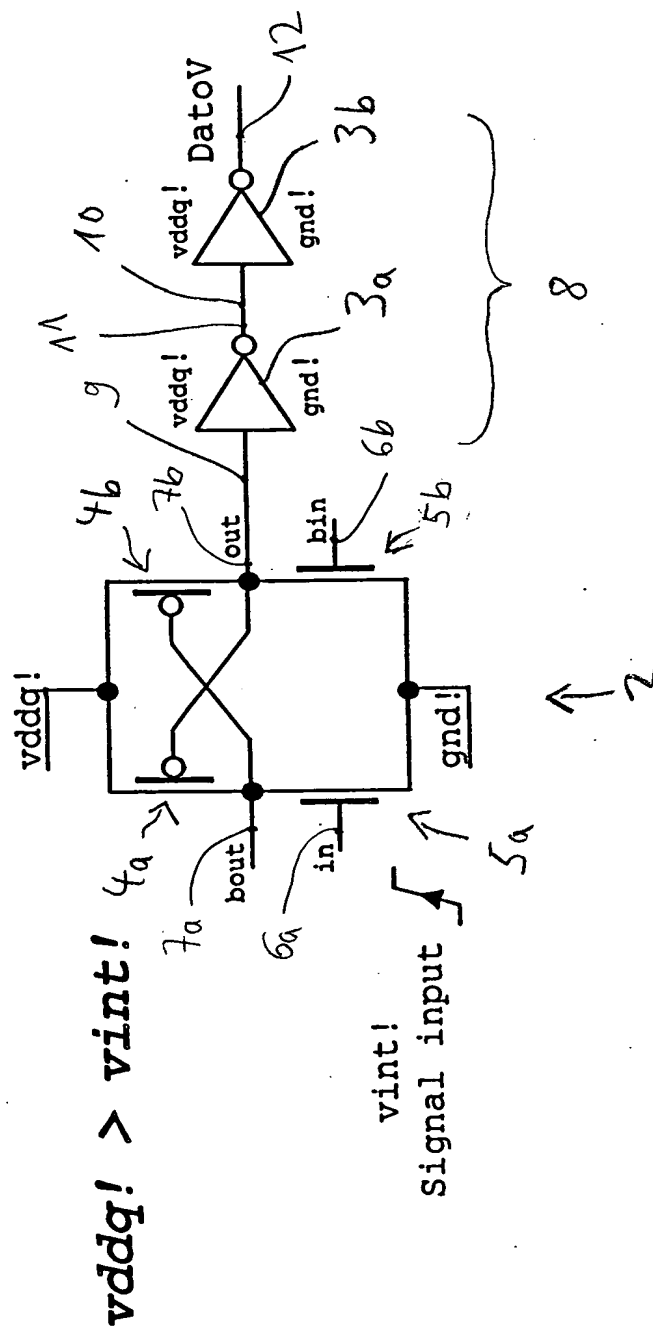


Fig. 1

$1010_a \rightarrow$



Fig. 2a

Fig. 3

